

高効率の 3A 同期整流型降圧レギュレータ

ISL85003、ISL85003A

ISL85003 および ISL85003A は、ハイサイドおよびローサイド FET を内蔵した同期整流型降圧レギュレータです。4.5V ~ 18V の入力電圧範囲で動作し、3A の連続電流を高効率に出力します。これらの全機能は省スペースな 3x4mm DFN パッケージで提供されます。

ISL85003 は、インターシル独自の製造プロセスをベースに、 $r_{DS(ON)}$ がきわめて低い FET を使い、最適化された電流モード・コントローラを搭載して設計されました。ハイサイド N チャネル FET の $r_{DS(ON)}$ の設計値は 65mΩ で、ローサイド N チャネル FET の $r_{DS(ON)}$ の設計値は 45mΩ です。これらの 2 つの FET を使用することで、非常に高効率な電力を負荷に供給できます。

ISL85003 は、DCM と CCM を自動的に切り替えを行い、DCM での負荷効率を向上できます。CCM のスイッチング周波数は、内部的に 500kHz に設定されています。

幅広いライン範囲、負荷範囲、および温度範囲にわたり、±1% の最大静的レギュレーションを提供します。外付け抵抗を使用することで、出力は最低 0.8V までユーザー調整可能です。EN を 0.6V より上に引き上げると、コントローラがイネーブされます。レギュレータはプリバイアス出力をサポートしています。

正または負の過電流リミット、出力および入力アンダーボルテージおよび過電圧検出、過熱モニタリング回路によるフォルト保護を提供します。

このレギュレータは、小型の 3x4mm の DFN (デュアル・フラット・ノーリード) パッケージで提供されます。

特長

- 入力電圧範囲：4.5V ~ 18V
- 出力電圧：0.8V から ±1% で調整可能
- 最大効率：95%
- アンダーボルテージ検出付きのブート・ダイオードを内蔵
- 電流モード制御
 - DCM/CCM
 - 内部または外付けの位相補償オプション
 - 500kHz のスイッチング周波数オプション
 - 最高 2MHz まで外部同期可能 (ISL85003)
- ソフトスタート時間を調整可能 (ISL85003A)
- オープン・ドレイン PG ウィンドウ・コンパレータ
 - 保護機能を内蔵
 - 正および負の過電流保護
 - 過電圧保護と熱保護
 - 入力過電圧保護

アプリケーション

- ネットワーク機器、通信機器
- 産業用機器
- 多機能プリンタ
- ポイント・オブ・ロード・レギュレータ
- 標準的 12V レール電源
- エンベデッド・コンピューティング

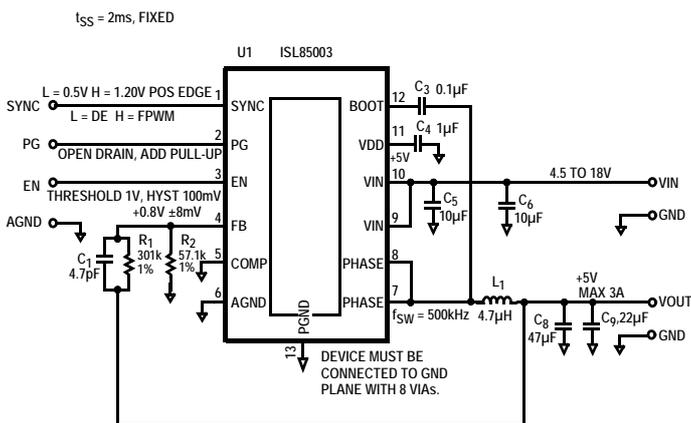


図 1A. ISL85003

V_{IN} 範囲は 4.5V ~ 18V、 $V_{OUT} = 5V$ 、
外部周波数同期による内部補償

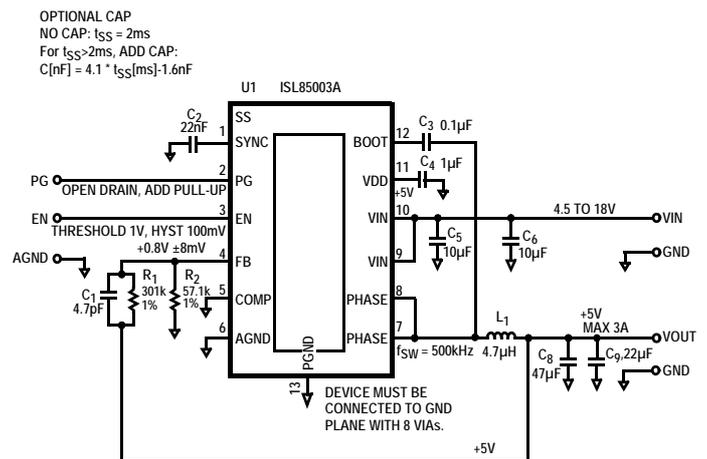


図 1B. ISL85003A

V_{IN} 範囲は 4.5V ~ 18V、 $V_{OUT} = 5V$ 、
外部ソフトスタートによる内部補償

図 1. アプリケーション回路例

目次

機能ブロック図	3
ピンの説明	4
.....	5
絶対最大定格	6
温度情報	6
推奨動作条件	6
電気的特性	6
代表的な性能曲線	8
詳細説明	15
動作の初期化	15
CCM 制御方式	15
軽負荷時の動作	15
同期制御	16
イネーブル、ソフトスタート、ディスエーブル	16
出力電圧の選択	16
保護機能	16
スイッチング・レギュレータの過電流保護	16
負電流保護	16
出力過電圧保護	17
入力過電圧保護	17
サーマル・プロテクション	17
電力ディレーティング特性	17
アプリケーション・ガイドライン	17
BOOT アンダーボルテージ検出	17
スイッチング・レギュレータの出力コンデンサの選択	17
出力インダクタの選択	18
入力コンデンサの選択	19
ループ補償の設計	19
補償回路の設計目標	20
高い DC ゲイン	20
レイアウトに関する考慮事項	21
改訂履歴	22
インターシルについて	22
パッケージ寸法図	23

機能ブロック図

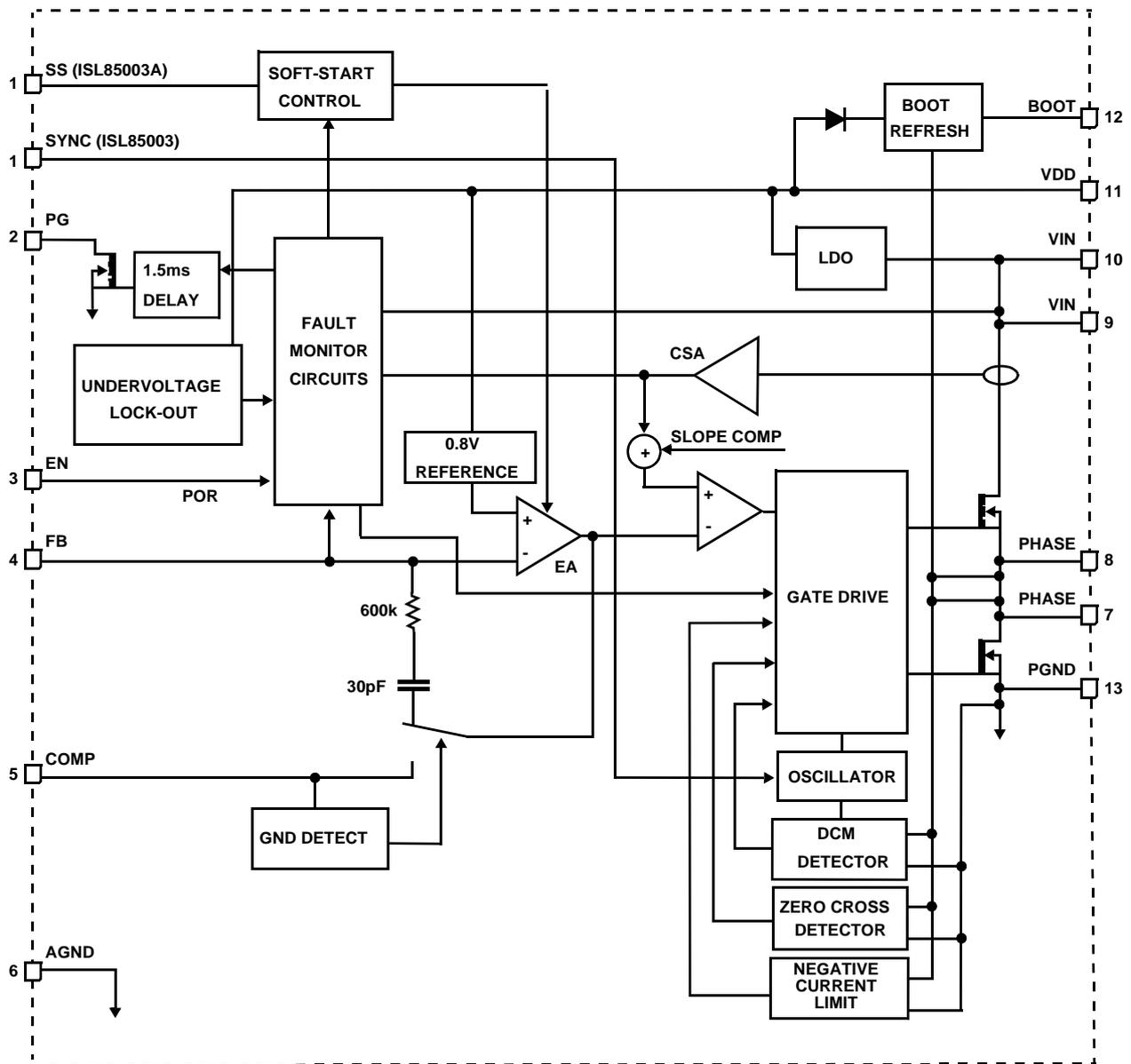
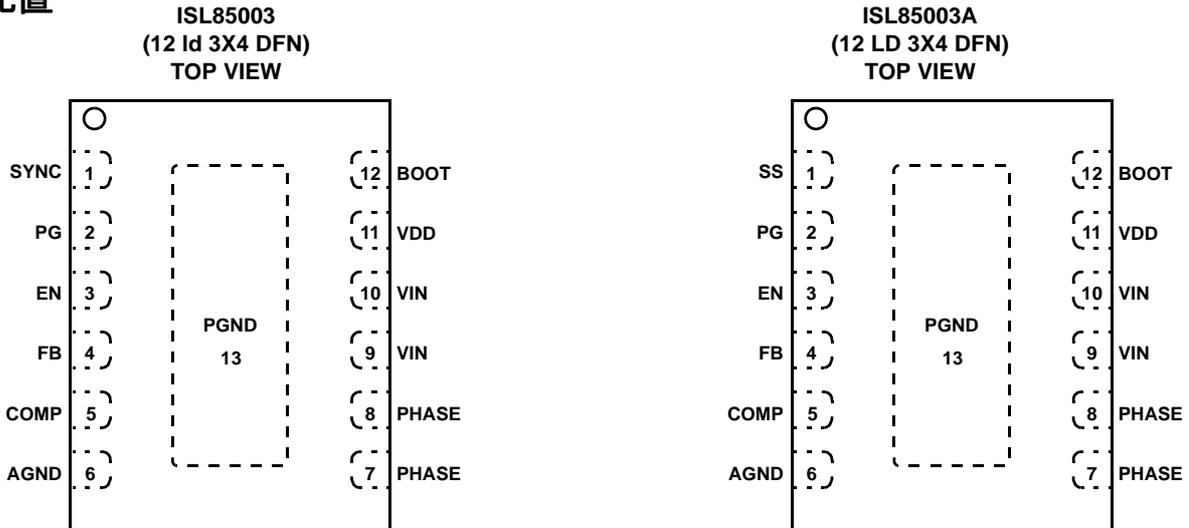


図 2. ブロック図

ISL85003、ISL85003A

ピン配置



ピンの説明

ピン番号	ピン名称	説明
1 (ISL85003)	SYNC	同期およびモード選択入力です。VDD に接続すると、CCM モードが選択されます。AGND に接続すると、DCM モードが選択されます。外付けの信号発生器に接続すると、立ち上がりエッジをトリガとして同期できます。VDD には 1MΩ の内部プルアップ抵抗が接続されており、SYNC がフロート状態のときにロジック状態が不定になるのを防ぎます。
1 (ISL85003A)	SS	ソフトスタート入力です。このピンは、プログラム可能なソフトスタートを提供します。チップがイネーブルされているとき、レギュレートされた 4μA のプルアップ電流源が、SS からグラウンドの間に接続されたコンデンサを充電します。コンバータの出力電圧は、このピンの電圧上昇に従います。外付けコンデンサを使用しない場合、デフォルトのソフトスタートは 2ms です。
2	PG	パワーグッド・オープン・ドレイン出力です。10kΩ ~ 100kΩ のプルアップ抵抗を PG と VDD の間または PG と 5.5V 以下の電圧間に接続します。スイッチング・レギュレータの出力電圧がレギュレーション・スレッショルド (通常はレギュレーション出力電圧の 85%) に達した 1ms 後に、PG は High に遷移します。
3	EN	イネーブル入力です。このピンをグラウンドに引き下げると、レギュレータはオフに維持されます。このピンの電圧が 0.6V より高くなると、製品がイネーブルされます。
4	FB	帰還入力です。同期整流型降圧レギュレータは、電流モード制御ループを採用しています。FB は、電圧ループ誤差アンプへの負入力です。出力電圧は、FB に接続された外付け抵抗分圧回路によって設定されます。出力電圧は、電源レール (コンバータの損失分を引いた値) と 0.8V のリファレンスの間の任意の値に設定できます。
5	COMP	位相補償端子です。このピンは、誤差アンプの出力に接続され、ループの補償に使用されます。内部補償でほとんどのアプリケーションに対応できます。COMP を AGND に接続すると、内部補償が選択されます。COMP と FB の間に補償ネットワークを接続すると、外部補償が使用されます。
6	AGND	AGND 端子です。製品内のコア・アナログ制御回路のリターン・パスを提供します。AGND を基板のグラウンド層に接続します。AGND と PGND は、製品内で内部的に接続されています。AGND と PGND を異なる電圧に接続した状態で製品を動作させないでください。
7、8	PHASE	スイッチ出力ノードです。これは製品のメイン出力です。外付け出力インダクタに接続します。
9、10	VIN	電圧源の入力です。製品の主電源入力になります。適切な電圧源に接続します。デカップリングのため、VIN から PGND の間で製品の近くにセラミック・コンデンサを 1 つ接続します (標準 10μF)。
11	VDD	低ドロップアウト・リニア・レギュレータのデカップリング・ピンです。VDD は、内部的に生成された 5V の電源電圧で、VIN から得られます。VDD は、すべての内部コア・アナログ制御ブロックおよびドライバに電力を供給するために使用されます。1μF コンデンサ 1 個を VDD と基板グラウンド層の間に接続します。VIN が 3V ~ 5.5V の場合、効率を向上させるため、VDD を VIN に直接接続します。
12	BOOT	ブートストラップ入力。ハイサイド・パワー MOSFET ゲート・ドライバ用のフロート状態のブートストラップ供給ピン。0.1μF コンデンサを BOOT と PHASE の間に接続します。
13 (EPAD)	PGND	パワー・グラウンド端子。パッケージの放熱を行い、ローサイド出力 MOSFET のソースに接続されます。PGND は、できるだけ多くのビアを使用して基板のグラウンド層に接続します。AGND と PGND は、製品内で内部的に接続されています。AGND と PGND を異なる電圧に接続した状態で製品を動作させないでください。

ISL85003、ISL85003A

注文情報

製品型番 (Note 1、2、3)	製品マーキング	温度範囲 (°C)	オプション	周波数 (kHz)	パッケージ (鉛フリー)	パッケージの 外形図
ISL85003FRZ	003F	-40 to +125	SYNC	500	12 Ld DFN	L12.3x4
ISL85003AFRZ	003A	-40 to +125	SOFT-START	500	12 Ld DFN	L12.3x4
ISL85003EVAL2Z	評価用ボード					
ISL85003AEVAL2Z	評価用ボード					
ISL85003DEMO1Z	デモ評価用ボード					
ISL85003ADEMO1Z	デモ評価用ボード					

NOTE :

- テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様については、[TB347](#)を参照してください。
- インターシルのこれらの鉛フリー・プラスチック・パッケージ製品には、専用の鉛フリー素材セット、モールド材料/ダイ・アタッチ素材を使用するとともに、錫100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシル鉛フリー製品は、鉛フリー・ピークリフロー温度で MSL 分類に対応し、IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 吸湿性レベル (MSL) については、[ISL85003](#)、[ISL85003A](#) の製品情報ページを参照してください。MSL の詳細については、テクニカル・ブリーフ [TB363](#) を参照してください。
- ISL85003 は、周波数同期入力を備えています。ISL85003A は、プログラム可能なソフトスタートを持つバージョンの製品です。

表 1. 部品選択 (図 1A および 1B を参照)

V _{OUT}	0.8V	1V	1.2V	1.5V	1.8V	2.5V	3.3V	5V
C5, C6	10μF	10μF						
C8	22μF	22μF	22μF	47μF	47μF	47μF	47μF	47μF
C9	22μF	22μF						
C1	Open	Open	Open	4.7pF	4.7pF	4.7pF	4.7pF	4.7pF
L1	1.8μH	2.2μH	2.2μH	3.3μH	3.3μH	3.3μH	4.7μH	4.7μH
R1	301kΩ	301kΩ						
R2	Open	1.2MΩ	604kΩ	344kΩ	241kΩ	142kΩ	96.3kΩ	57.1kΩ

NOTE : V_{IN} = 12V, I_{OUT} = 3A。部品選択表は、内部補償モードを使用した典型的アプリケーションへの推奨例です。200μF より大きな出力容量を要するアプリケーションでは、ループ応答帯域幅を約 40kHz に保つよう R₁ を調整する必要があります。詳細については、19 ページの「ループ補償の設計」を参照してください。

ISL85003、ISL85003A

絶対最大定格

VIN、EN ~ AGND および PGND	-0.3V ~ +24V
PHASE ~ AGND および PGND	-0.7V ~ +24V (DC)
PHASE ~ AGND および PGND	-2V ~ +24V (40ns)
FB ~ AGND および PGND	-0.3V ~ +7V
BOOT ~ PHASE	-0.3V ~ +7V
VDD、COMP、SYNC、PG ~ AGND および PGND	-0.3V ~ +7V
0A におけるジャンクション温度範囲	-55 °C ~ +150 °C
ESD 定格	
人体モデル (JESD22-A114E に従ってテスト済み)	2.5kV
マシン・モデル (JESD22-A115-A に従ってテスト済み)	150V
帯電デバイスモデル (JESD22-A115-A に従ってテスト済み)	1kV

温度情報

熱抵抗	θ_{JA} (°C/W)	θ_{JC} (°C/W)
DFN パッケージ (Note 5、6)	49	5
最大保存温度範囲	-65 °C ~ +150 °C	
ジャンクション温度範囲	-40 °C ~ +125 °C	
鉛フリー・リフロープロファイル	TB379 参照	

推奨動作条件

VIN 電源電圧範囲	4.5V ~ 18V
負荷電流範囲	0A ~ 3A

注意：過度に長い時間にわたって最大定格点または最大定格点付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

NOTE :

- θ_{JA} は、デバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフを参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、すべてのパラメータ・リミットは $T_J = -40\text{ °C} \sim +125\text{ °C}$ の推奨動作条件にわたり、 $V_{IN} = 12\text{V}$ で規定されています。代表値は $T_A = +25\text{ °C}$ に対する値です。太字のリミット値は動作ジャンクション温度範囲である $-40\text{ °C} \sim +125\text{ °C}$ に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
SUPPLY VOLTAGE						
VIN Voltage Range	VIN		4.5		18	V
VIN Quiescent Supply Current	IQ	SYNC = Low, EN > 1V, FB = 0.85V, not switching		3.2	4.5	mA
VIN Shutdown Supply Current	ISD	EN = AGND		6	11	μA
UNDERVOLTAGE LOCKOUT						
VIN UVLO Threshold		Rising Edge		4.2	4.35	V
		Falling Edge	3.6	3.8		V
INTERNAL VDD LDO						
VDD Output Voltage		VIN = 6V to 18V, I_VDD = 0mA to 30mA	4.3	5.00	5.50	V
VDD Output Current Limit				50		mA
OSCILLATOR						
Nominal Switching Frequency	Fsw		400	500	600	kHz
Minimum On Time	tON	IOUT = 0mA (Note 8)		120	140	ns
Minimum Off Time	tOFF	(Note 8)		140	180	ns
Synchronization Range	SYNC	ISL85003	300		2000	kHz
SYNC high-time	tHI	ISL85003	100			ns
SYNC low-time	tLO	ISL85003	100			ns
SYNC Logic Input Low		ISL85003			0.50	V
SYNC Logic Input High		ISL85003	1.20			V
ERROR AMPLIFIER						

ISL85003、ISL85003A

電気的特性 特記のない限り、すべてのパラメータ・リミットは $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ の推奨動作条件にわたり、 $V_{IN} = 12\text{V}$ で規定されています。代表値は $T_A = +25\text{ }^\circ\text{C}$ に対する値です。太字のリミット値は動作ジャンクション温度範囲である $-40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
Output Drive		$V_{COMP} = 1.5\text{V}$		± 110		μA
Current Sense Gain	RT			0.2		Ω
Slope Compensation	Se	$F_{SW} = 500\text{kHz}$		550		$\text{mV}/\mu\text{s}$
ENABLE INPUT						
EN Input Threshold		Rising Edge	0.5	0.6	0.7	V
		Hysteresis	60	100	140	mV
SOFT-START FUNCTION						
Default Soft-Start Time		ISL85003, ISL85003A with soft-start open	1	2.3	3.6	ms
SS Internal Soft-Start Charging Current		ISL85003A	2.5	3.5	4.5	μA
POWER GOOD OPEN DRAIN OUTPUT						
Output Low Voltage		$I_{PG} = 5\text{mA}$ sinking		0.25		V
PG Pin Leakage Current		$V_{PG} = V_{DD}$		0.01		μA
PG Lower Threshold		Percentage of output regulation	80	85	90	%
PG Upper Threshold		Percentage of output regulation	110	115	120	%
PG Thresholds Hysteresis				3		%
Delay Time		Rising Edge		1.5		ms
		Falling Edge		18		μs
FAULT PROTECTION						
Positive Overcurrent Protection Threshold	I_{POCP}		4.0	5.0	6.0	A
Negative Overcurrent Protection Threshold	I_{NOCP}	Current forced into PHASE node, high-side MOSFET is off, SYNC = High	-3.2	-2.2	-1.1	A
Positive Overcurrent Protection Low-Side MOSFET		Current in low-side MOSFET at end of low-side cycle.		6		A
V_{IN} Overvoltage Threshold			19	20		V
		Hysteresis		1		V
Thermal Shutdown Temperature	T_{SD}	Rising Threshold		165		$^\circ\text{C}$
	T_{HYS}	Hysteresis		10		$^\circ\text{C}$
POWER MOSFET						
High-side MOSFET $r_{DS(ON)}$	R_{HDS}	$I_{PHASE} = 100\text{mA}$		65	110	$\text{m}\Omega$
Low-side MOSFET $r_{DS(ON)}$	R_{LDS}	$I_{PHASE} = 100\text{mA}$		45	75	$\text{m}\Omega$
PHASE pull-down resistor		EN = AGND		10		$\text{K}\Omega$
DIODE EMULATION						
Zero Crossing Threshold		ISL85003		150		mA

NOTE :

- データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。
- リミット値に対する整合性は、特性評価と設計によって保証されています。

代表的な性能曲線 図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
 代表値は $T_A = +25^\circ C$ における値です。

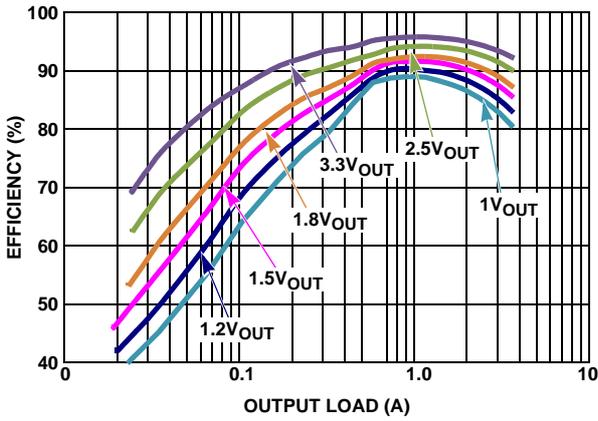


図 3. 効率 vs 負荷、5V_{IN} DCM

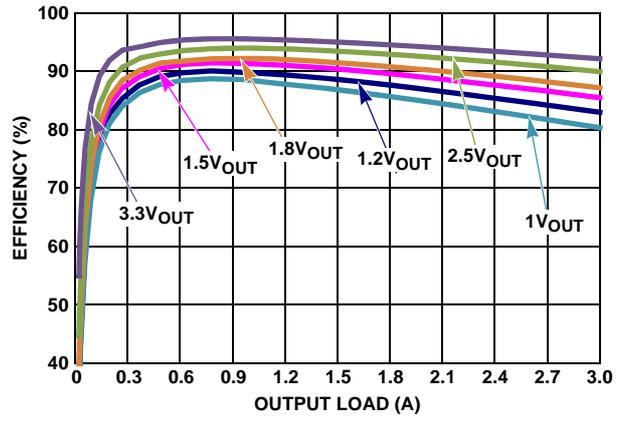


図 4. 効率 vs 負荷、5V_{IN} CCM

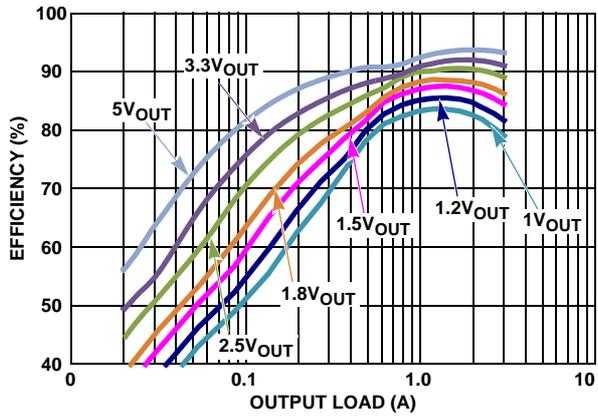


図 5. 効率 vs 負荷、12V_{IN} DCM

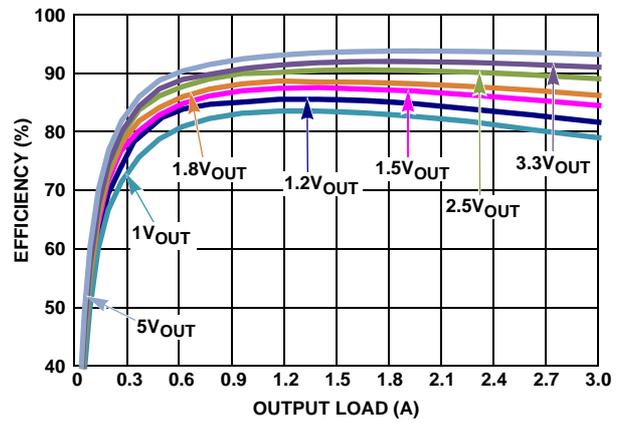


図 6. 効率 vs 負荷、12V_{IN} CCM

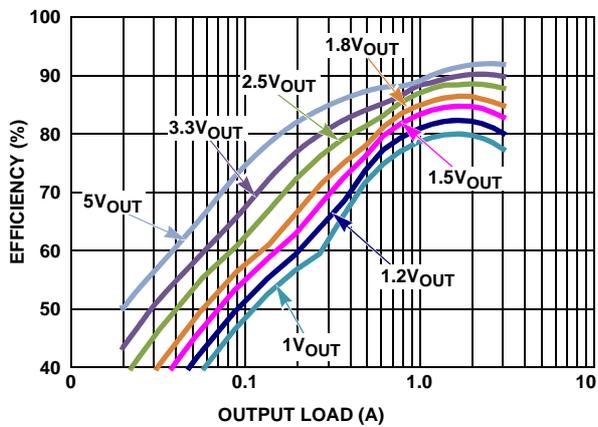


図 7. 効率 vs 負荷、18V_{IN} DCM

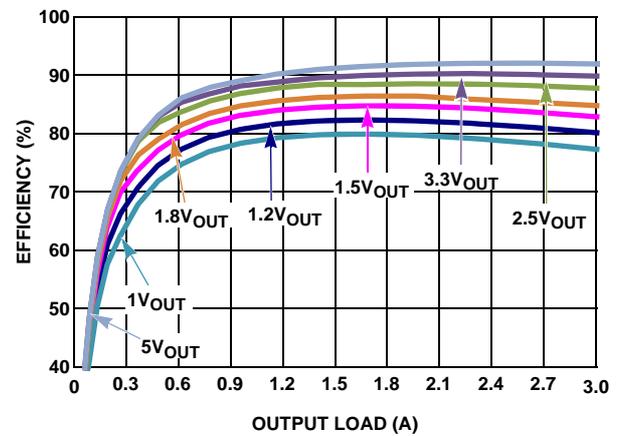


図 8. 効率 vs 負荷、18V_{IN} CCM

代表的な性能曲線

図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
代表値は $T_A = +25^\circ C$ における値です。(続き)

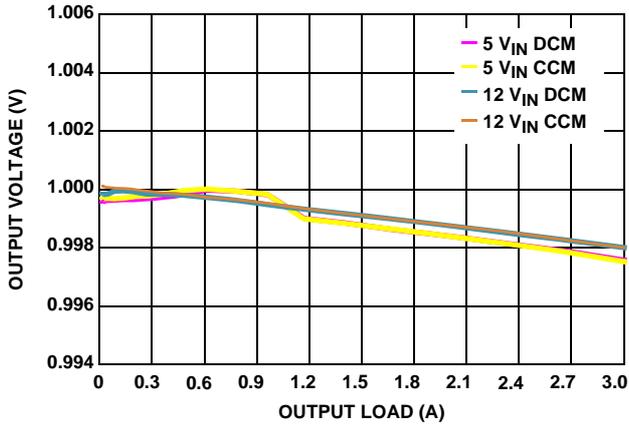


図 9. V_{OUT} レギュレーション vs 負荷、1V

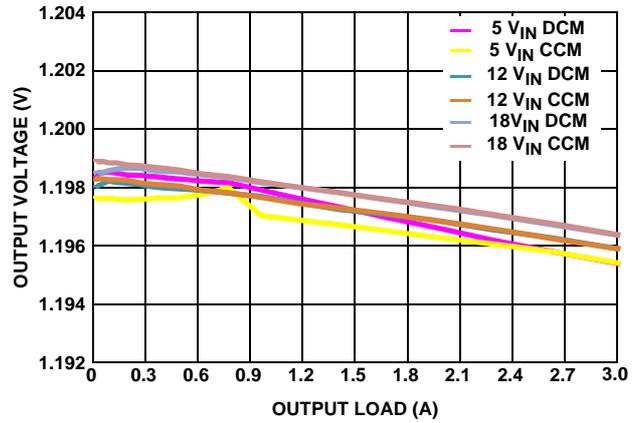


図 10. V_{OUT} レギュレーション vs 負荷、1.2V

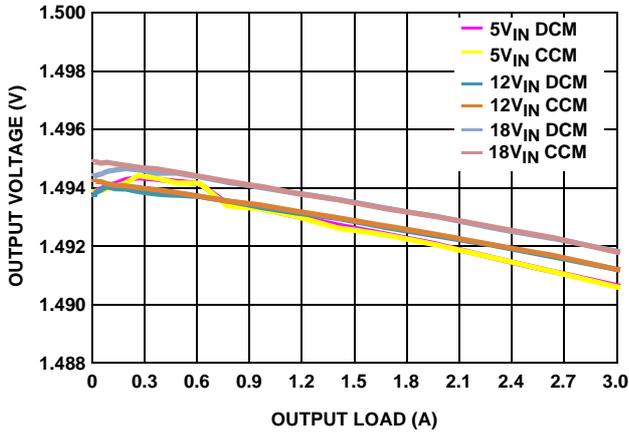


図 11. V_{OUT} レギュレーション vs 負荷、1.5V

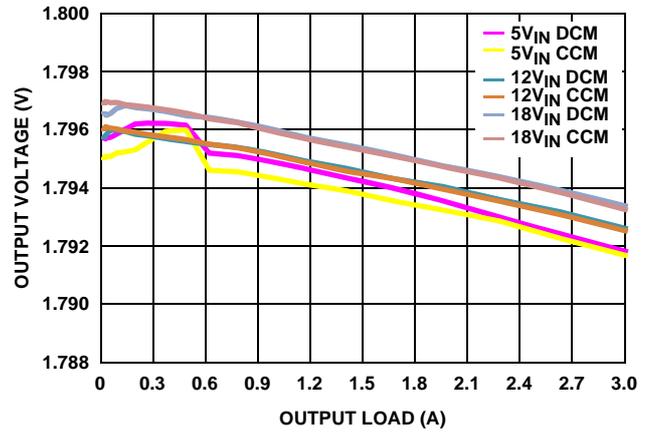


図 12. V_{OUT} レギュレーション vs 負荷、1.8V

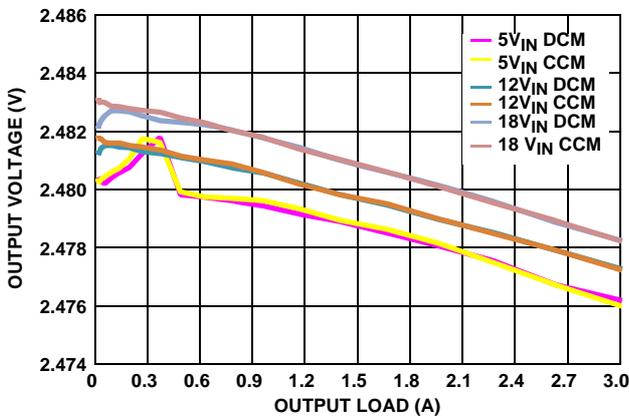


図 13. V_{OUT} レギュレーション vs 負荷、2.5V

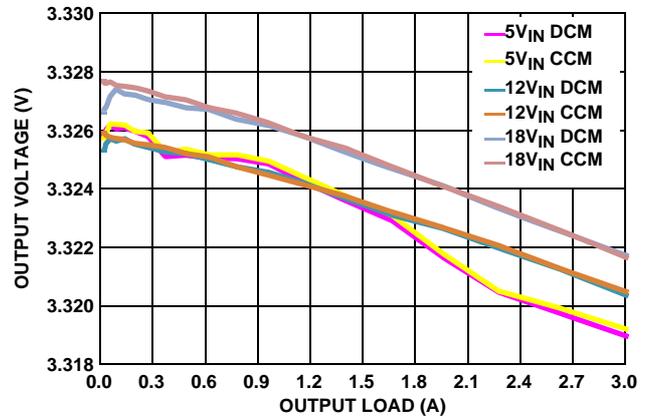


図 14. V_{OUT} レギュレーション vs 負荷、3.3V

代表的な性能曲線

図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
代表値は $T_A = +25^\circ C$ における値です。(続き)

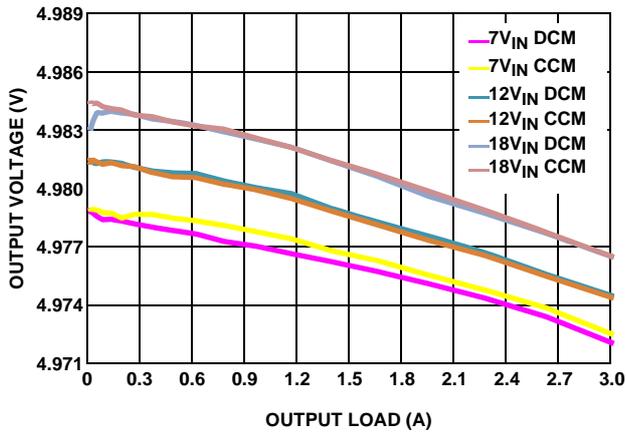


図 15. V_{OUT} レギュレーション vs 負荷 5V

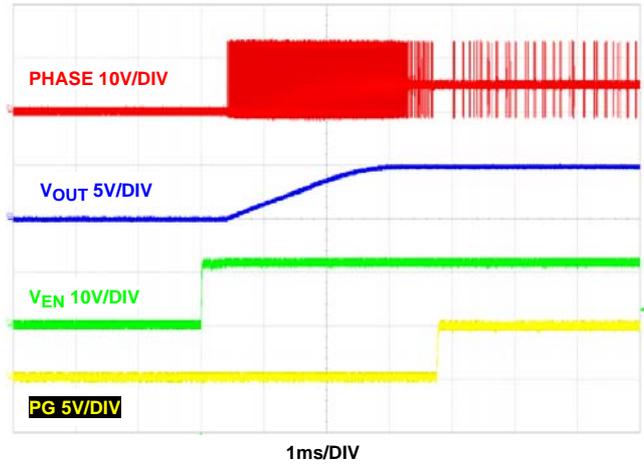


図 16. 無負荷時のスタートアップ V_{EN} (DCM)

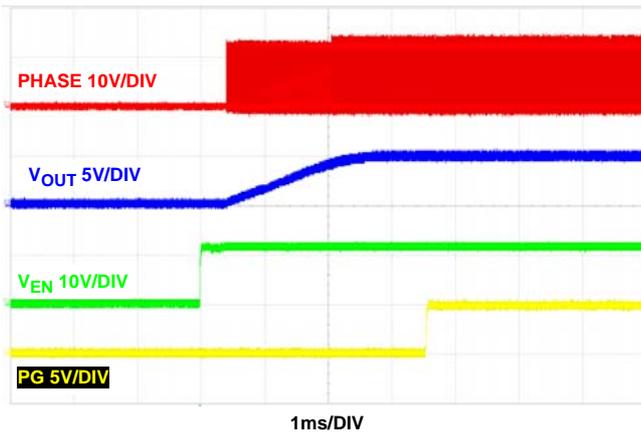


図 17. 無負荷時のスタートアップ V_{EN} (CCM)

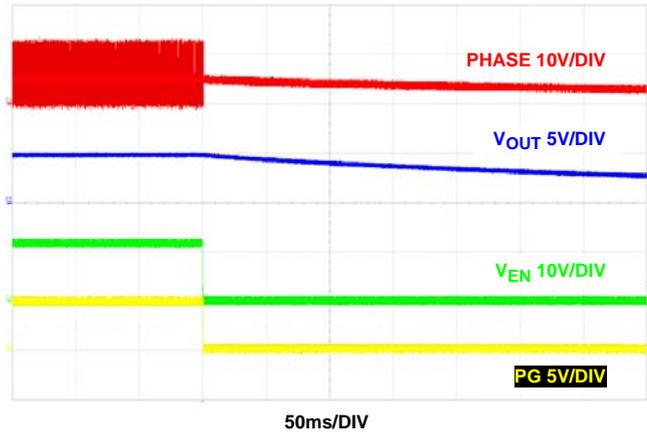


図 18. 無負荷時のシャットダウン V_{EN} (DCM)

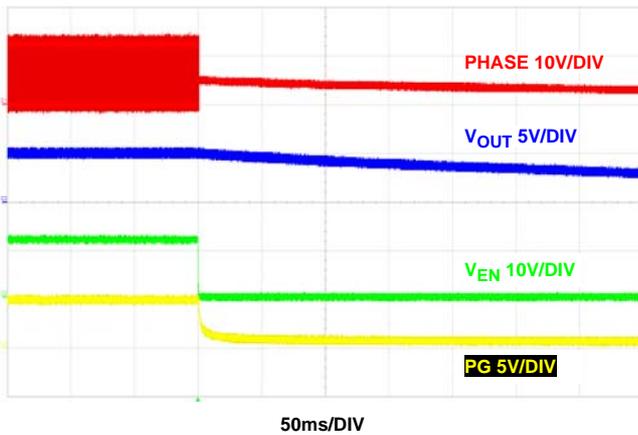


図 19. 無負荷時のシャットダウン V_{EN} (CCM)

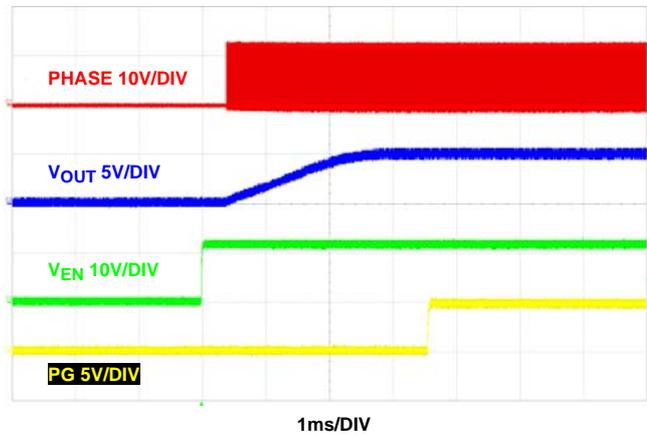


図 20. 3A 負荷時のスタートアップ V_{EN}

代表的な性能曲線 図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
 代表値は $T_A = +25^\circ C$ における値です。(続き)

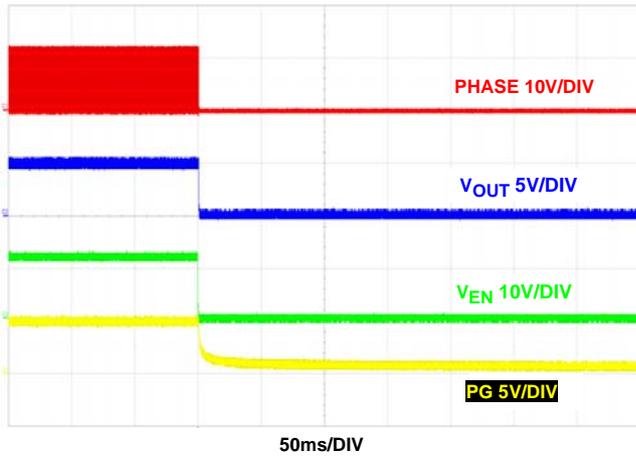


図 21. 3A 負荷時のシャットダウン V_{EN}

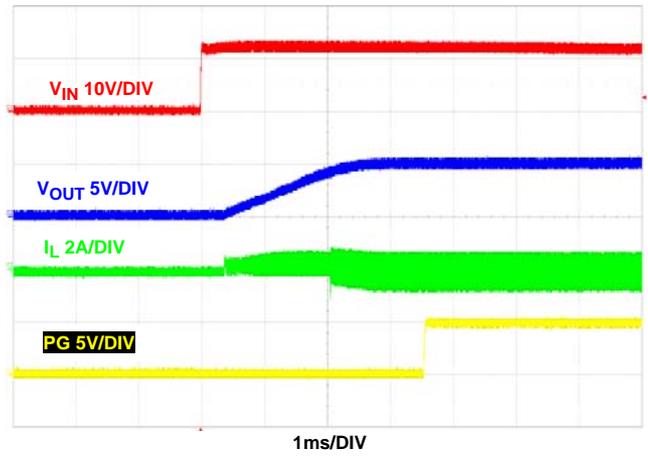


図 22. 無負荷時のスタートアップ V_{IN} (CCM)

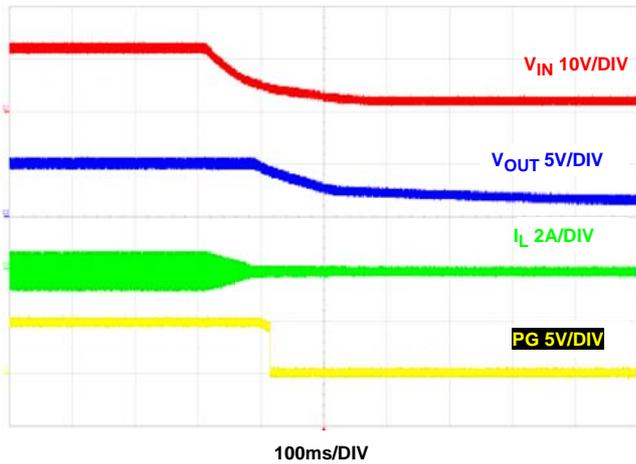


図 23. 無負荷時のシャットダウン V_{IN} (CCM)

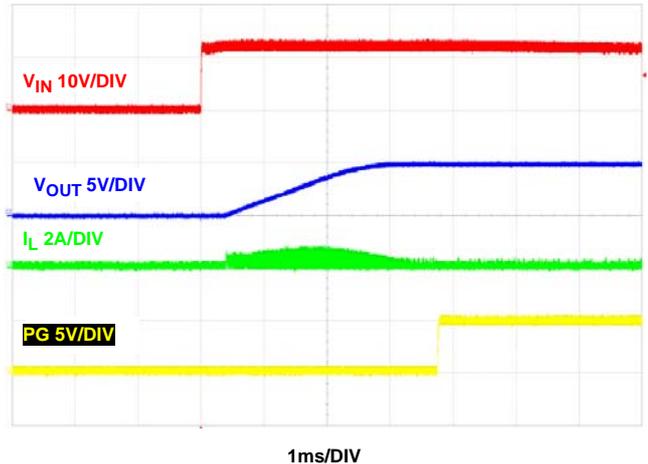


図 24. 無負荷時のスタートアップ V_{IN} (DCM)

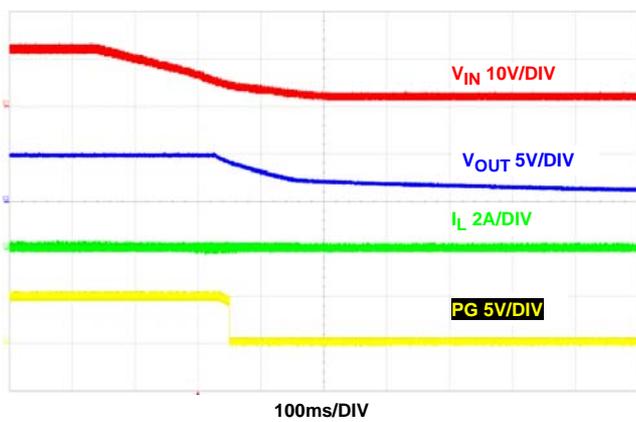


図 25. 無負荷時のシャットダウン V_{IN} (DCM)

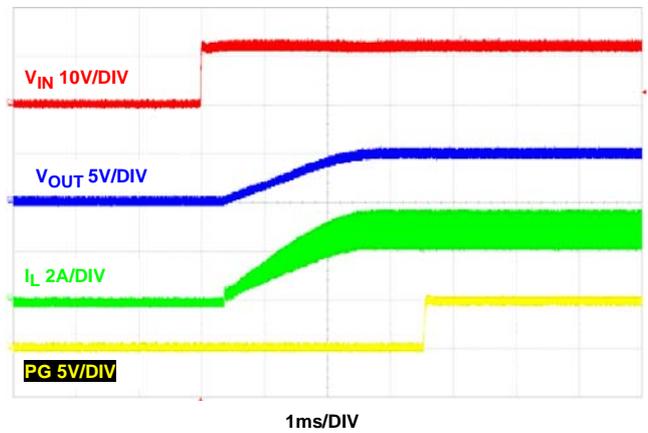


図 26. 3A 負荷時のスタートアップ V_{IN}

代表的な性能曲線 図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
 代表値は $T_A = +25^\circ C$ における値です。(続き)

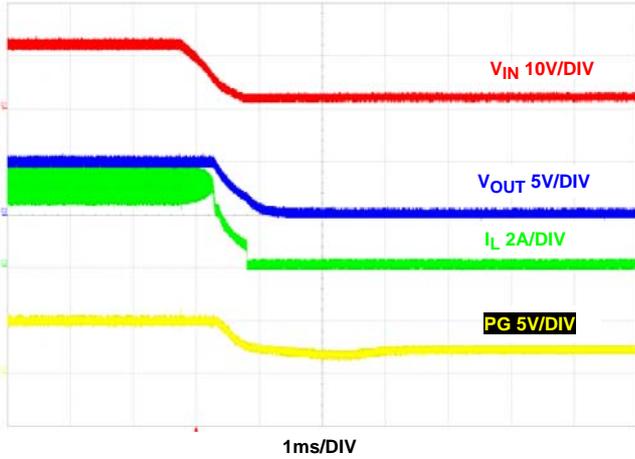


図 27. 3A 負荷時のシャットダウン V_{IN}

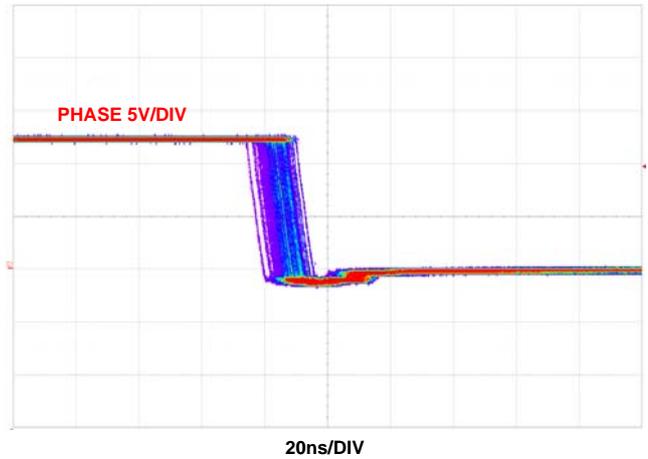


図 28. 無負荷時のジッタ (CCM)

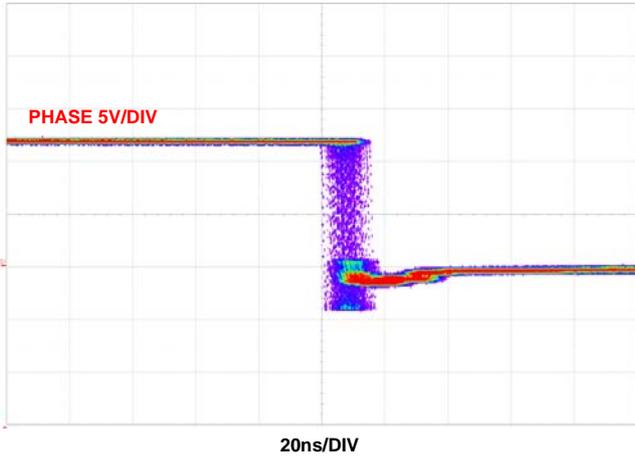


図 29. フル負荷 3A 時のジッタ (CCM)

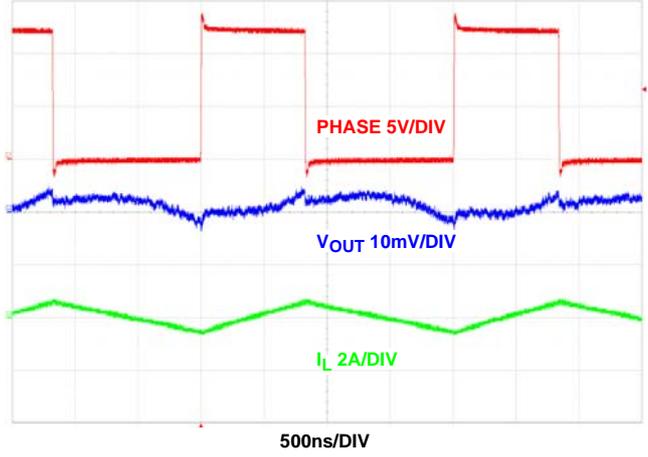


図 30. 無負荷時の定常状態 (CCM)

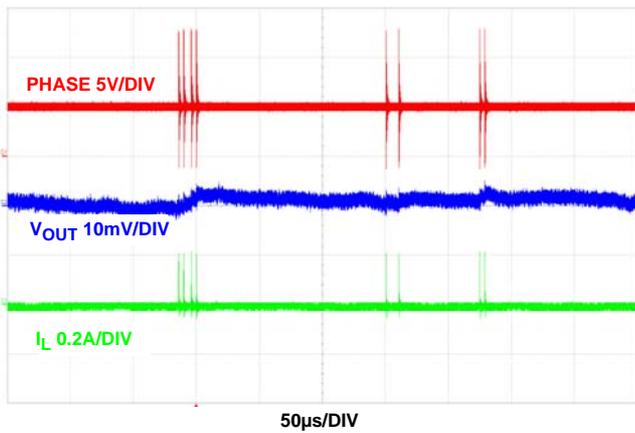


図 31. 無負荷時の定常状態 (DCM)

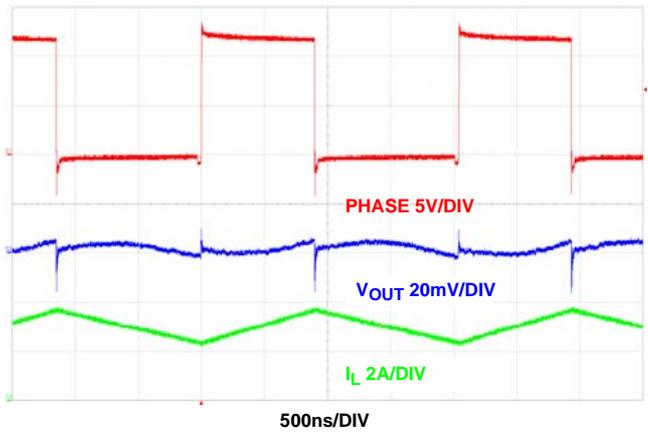


図 32. 3A 負荷時の定常状態 (DCM)

代表的な性能曲線 図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40^\circ C \sim +125^\circ C$ 。
 代表値は $T_A = +25^\circ C$ における値です。(続き)

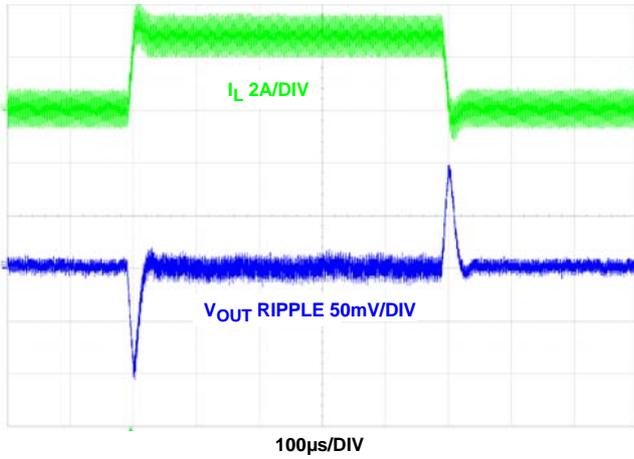


図 33. 負荷変動 (CCM)

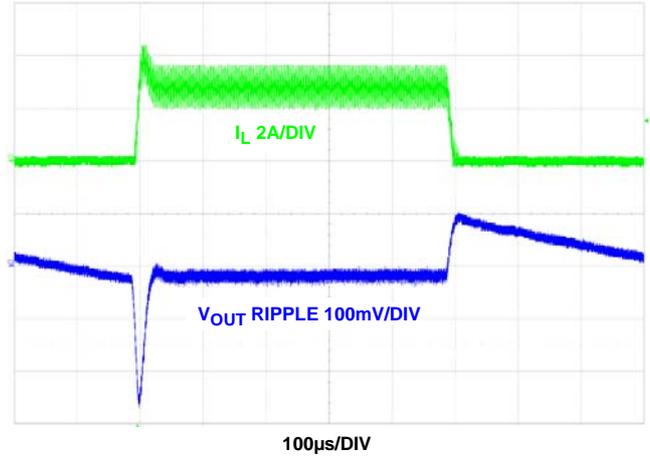


図 34. 負荷変動 (DCM)

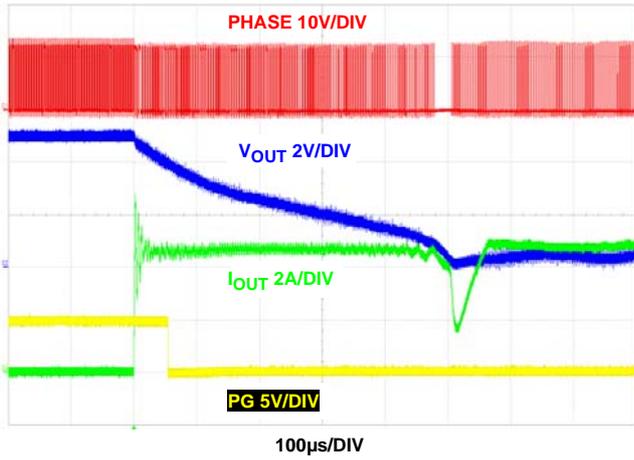


図 35. 出力短絡

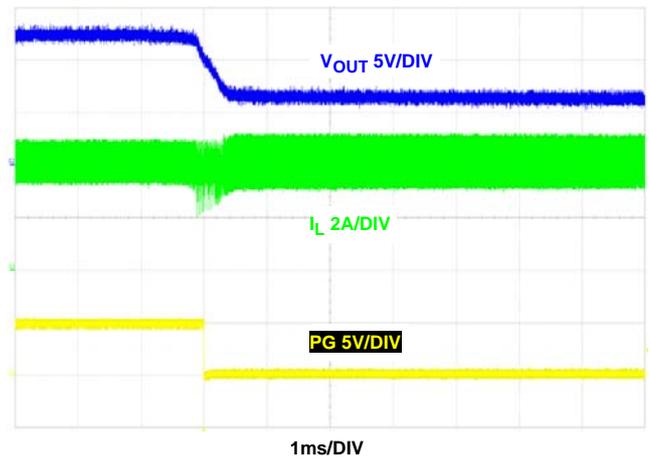


図 36. 過電流保護

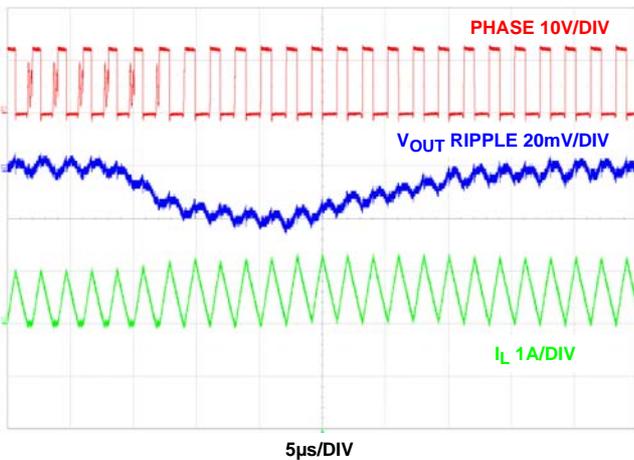


図 37. DCM から CCM への遷移

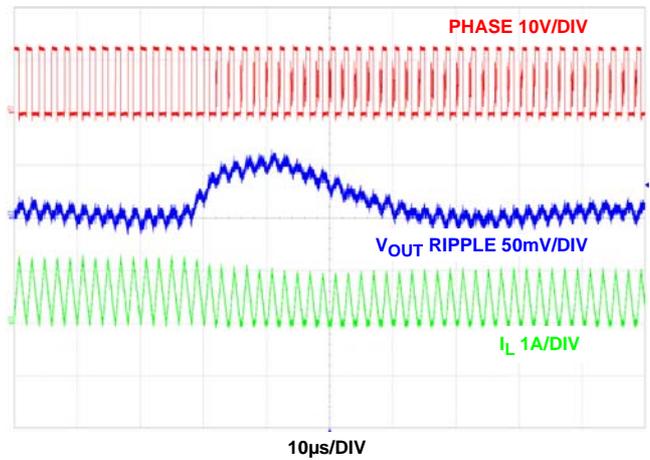


図 38. CCM から DCM への遷移

代表的な性能曲線 図 1A の回路。特記のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 3A$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。
 代表値は $T_A = +25\text{ }^\circ\text{C}$ における値です。(続き)

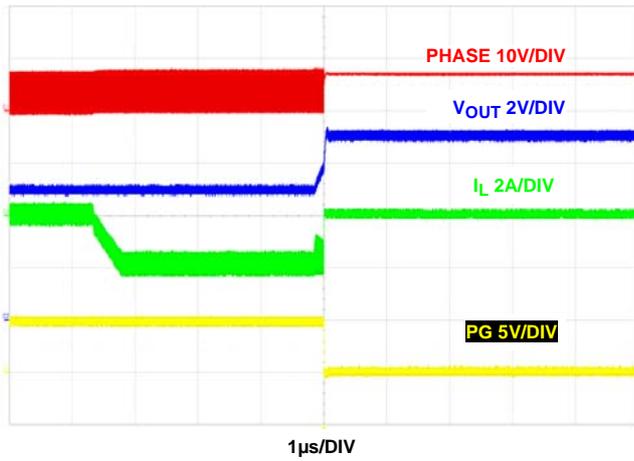


図 39. 過電圧保護

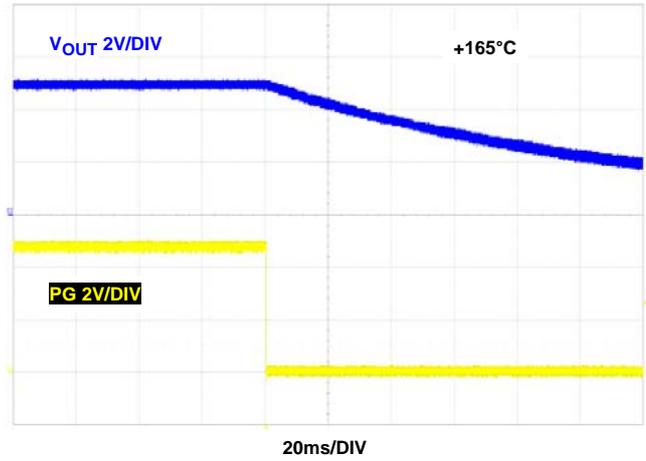


図 40. 過熱保護

詳細説明

ISL85003 と ISL85003A は、同期整流型降圧コントローラと 1 対の内蔵スイッチング MOSFET を組み合わせたものです。降圧コントローラは、内蔵しているハイサイドおよびローサイド N チャネル MOSFET を駆動し、最大 3A の負荷電流を供給します。この降圧レギュレータは、レギュレートされていない +4.5V ~ +18V の DC ソース (バッテリーなど) で動作します。内蔵の 5V LDO 電圧レギュレータは、コントローラをバイアスするために使用されます。コンバータの出力電圧は外付けの抵抗分圧回路を使用してプログラムされ、最低 0.8V のレギュレートされた電圧を生成します。これらの機能により、レギュレータは幅広いアプリケーションに適しています。

コントローラは電流モード・ループを使用するため、ループ補償が簡素化され、幅広い入出力電圧範囲において固定周波数動作が可能になります。内部帰還ループ補償オプションを使用すると、回路設計がさらに簡単になります。レギュレータのデフォルトのスイッチング周波数は 500kHz ですが、ISL85003 では 300kHz ~ 2MHz に同期できます。

この降圧レギュレータは、ロスレス電流リミット方式を備えています。出力ステージの電流は、温度補償された、内部パワー MOSFET のドレイン・ソース間電圧から得られます。電流リミット・スレッシュホールドは、内部的に 5A に設定されます。

動作の初期化

動作を開始するには、EN を High に引き上げます。入力電圧が 4.2V 未満の場合、パワーオン・リセット回路が動作を停止させます。パワーオン・リセット要件が満たされると、2ms のランプで (ISL85003 の場合) もしくは SS と AGND の間に接続されたコンデンサの値によって設定されるレートで (ISL85003A の場合)、コントローラはソフトスタートします。

CCM 制御方式

高速負荷応答とパルスごとの電流リミットを実現するため、本レギュレータは電流モード・パルス幅変調制御方式を採用しています。電流ループは、発振器、PWM コンパレータ、電流検出回路、傾き補償回路によって構成されています。電流検出回路のゲインは通常 200mV/A で、傾き補償は 1.1V/T です。電流ループのリファレンスは、FB ピンの帰還信号を内蔵の 0.8V リファレンスと比較する誤差アンプ (EA) の出力によって提供されます。このように、誤差アンプによって出力電圧がレギュレートされ、電流ループのリファレンスが制御されます。

この誤差アンプは、電圧誤差信号を電圧出力に変換するオペアンプです。電圧ループは、ほとんどのアプリケーションに対応可能な 30pF および 600kΩ の RC ネットワークで内部的に補償されます。

PWM 動作は、発振器からのクロックによって初期化されます。サイクル開始時にハイサイド MOSFET がターンオンし、MOSFET 内の電流が増加し始めます。電流アンプ (CSA) 信号と傾き補償の和が電流ループの制御リファレンスに達すると、PWM コンパレータは、ハイサイド MOSFET をターンオフしてローサイド MOSFET をターンオンするように、信号をロジックに与えます。ローサイド MOSFET はサイクルの終わりまでオンのままです。CCM (連続導通モード) 動作中の典型的な動作波形を図 41 に示します。点線は、補償ランプと電流検出アンプ出力の和を表します。

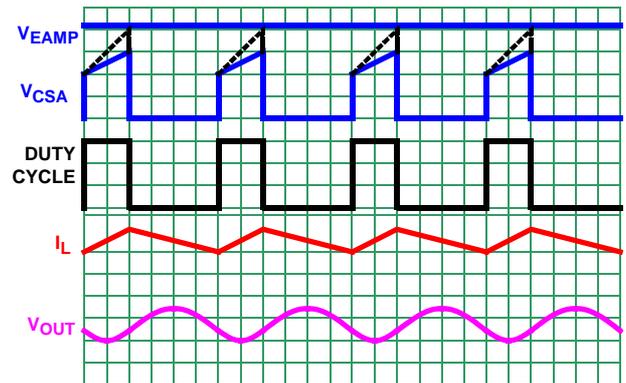


図 41. CCM 動作波形

軽負荷時の動作

ISL85003 は、レギュレーションのため、ローサイド MOSFET の電流と、FB ノードの電圧の両方をモニタリングします。SYNC ピンを Low に引き下げると、ISL85003 は、軽負荷時にローサイド MOSFET をダイオード・エミュレーション・モード (DEM) で動作させることで、不連続動作に入ります。このモードでは、インダクタに逆電流が流れなくなるため、ハイサイド MOSFET が次のサイクルにスイッチングされる前に、出力がレギュレーション電圧まで自然に低下します。CCM 動作から DCM 動作への遷移を図 42 に示します。CCM モードでは、境界は次の式 1 で設定されます。

$$I_{OUT} = \frac{V_{OUT}(1-D)}{2Lf_s} \quad (式 1)$$

ここで、D = デューティ・サイクル、 f_s = スwitching 周波数、L = インダクタ値、 I_{OUT} = 出力負荷電流、 V_{OUT} = 出力電圧です。

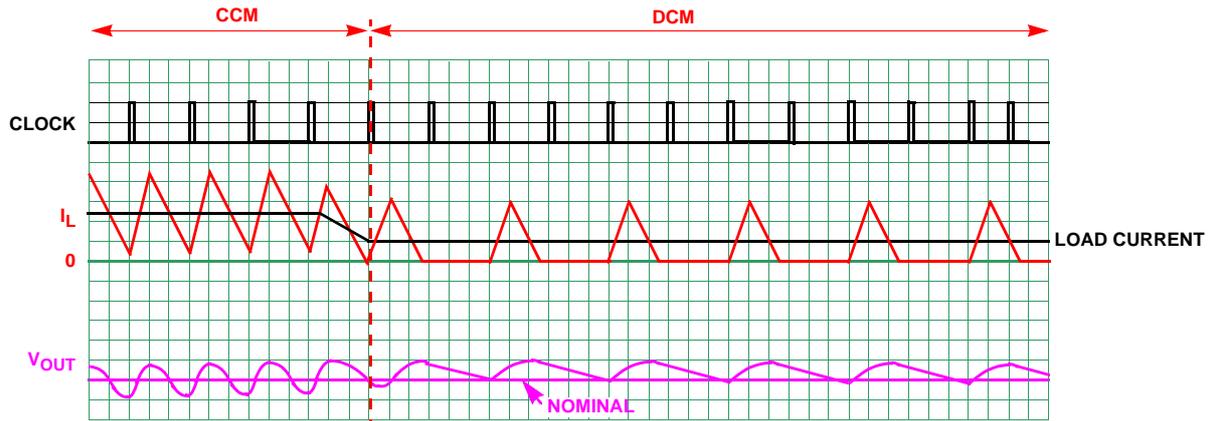


図 42. DCM モード動作波形

同期制御

ISL85003 は、SYNC ピンに外部信号を与えることによって、300kHz ~ 2MHz に同期できます。SYNC の立ち上がりエッジによって、PHASE パルスの立ち上がりエッジがトリガされます。SYNC パルスのオン時間は必ず 100ns より長くします。同期周波数は最高 2MHz まで可能ですが、ISL85003 は、正常にレギュレートするために最短 140ns のオン時間を要する電流モード・レギュレータです。例として、12V_{IN} と 1V_{OUT} では、最高推奨同期周波数は約 600kHz になります。

イネーブル、ソフトスタート、ディスエーブル

V_{IN} が立ち上がり POR トリップ・ポイント (公称値 4.2V) を超えると、本製品は動作を開始します。EN ピンが外部的に Low に維持されている場合は、EN ピンが開放されるまで動作は開始されません。EN ピンの電圧が 0.6V を超えると、LDO がパワーアップし、ソフトスタート制御が開始します。デフォルトのソフトスタート時間は 2ms です。

ISL85003A では、SS ピンをフロートさせると、デフォルトが 2ms の内部ソフトスタート時間が選択されます。このソフトスタート時間は、SS と AGND の間に外付けコンデンサを接続することで延長できます。このコンデンサは、3.5μA の電流源によって充電されます。ソフトスタート・コンデンサの充電は、SS ピンの電圧が 2.0V のクランプ・レベルに達するまで続けられます。ただし、SS ピンの電圧が約 0.9V になると、出力電圧はレギュレーション値に達します。このコンデンサと内部の 3.5μA 電流源により、式 2 に従って、コンバータのソフトスタート・インターバル (t_{SS}) が設定されます。

$$C_{SS}[\text{nF}] = 4.1 \cdot t_{SS}[\text{mS}] - 1.6\text{nF} \quad (\text{式 2})$$

出力電圧の選択

レギュレータの出力電圧は、内部リファレンス電圧に対して相対的なフィードバックを調整する外付けの抵抗分圧回路でプログラムされます。調整された電圧は、誤差アンプの反転入力に戻されます (図 43 参照)。

出力電圧設定抵抗 R2 は、R1 に設定された値および目標とするレギュレータ出力電圧 (V_{OUT}) に依存します (式 3 参照)。R1 の値により、帰還ループのゲインが決まります。詳細については、19 ページの「ループ補償の設計」を参照してください。帰還抵抗の値は、通常 10kΩ ~ 400kΩ です。

$$R2 = \frac{R1 \cdot 0.8V}{V_{OUT} - 0.8V} \quad (\text{式 3})$$

目標とする出力電圧が 0.8V の場合、R2 は未設定のままにします。モジュレータ補償の低周波数ポールを設定するために、R1 は設定する必要があります。

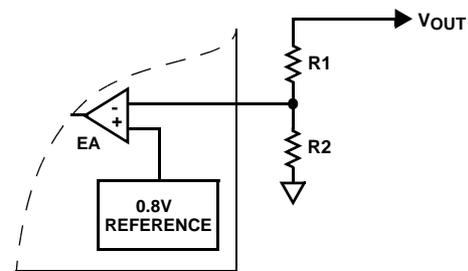


図 43. 外付けの抵抗分圧回路

保護機能

この製品では、チップ上のすべてのパワー・デバイスの電流を制限します。過電流リミットは 2 つの出力スイッチング MOSFET のほか、VDD に供給する LDO リニア・レギュレータにも適用されます。スイッチング・レギュレータの入力と出力の過電圧保護回路により、堅牢な保護が提供されます。

スイッチング・レギュレータの過電流保護

オン時間中、内部ハイサイド・スイッチング MOSFET を流れる電流がモニタリングされます。この電流は定格 5A の過電流リミットと比較されます。測定した電流値が過電流リミットの基準レベルを超えている場合、ハイサイド MOSFET は即座にオフになり、次のスイッチング・サイクルまでオンになりません。オフ時間中、ローサイド・スイッチング MOSFET を流れる電流がサンプリングされます。ローサイド MOSFET の電流がローサイド・サイクルの最後に 6A を超えた場合、ハイサイド MOSFET は次のサイクルをスキップし、スイッチングを再開するまでにインダクタ電流が安全なレベルまで減衰できるようにします。

出力過負荷状態が解消されると、出力電圧は内部の SS レードでレギュレーション状態まで上昇します。

負電流保護

過電流と同様に、負電流保護は、ローサイド MOSFET を流れる電流をモニタリングすることで実現されます (図 2 を参照)。

インダクタ電流が -2.2A に達すると、同期整流器がターンオフします。これにより、レギュレータが出力をアクティブに引き下げる能力を制限し、ハイサイド電流検出アンプの範囲外になる可能性のある大きな逆電流が流れるのを防ぎます。

出力過電圧保護

出力過電圧保護は、出力電圧が設定電圧の 115% を超えるとトリガされます。この状態では、出力がレギュレーション範囲内に戻るまでハイサイドおよびローサイド MOSFET はトリステートになります。出力がレギュレーションに戻ると、コントローラは内部 SS 制御の下で再始動します。

入力過電圧保護

入力過電圧保護システムは、入力電圧が 20V を超えるとスイッチング・レギュレータの動作を停止します。ハイサイドおよびローサイド MOSFET はトリステートになり、入力電圧が通常に戻るとコンバータは内部 SS 制御の下で再始動します。

サーマル・プロテクション

サーマル・プロテクションは最高ダイ温度を制限するため、レギュレータ内の合計電力損失も制限されます。チップ上のセンサがジャンクション温度をモニタリングします。ジャンクション温度 (T_J) が +165 °C を超えると、信号がフォルト・モニタリング回路に送信され、スイッチング・レギュレータおよび LDO がシャットダウンされます。

製品のジャンクション温度が 10 °C 下がると、スイッチング・レギュレータが再度ターンオンしソフトスタートします。スイッチング・レギュレータは、連続的な熱過負荷状態中、ヒカップモード動作をします。連続動作をさせる場合、+125 °C のジャンクション温度定格を超えないようにしてください。

電力ディレーティング特性

レギュレータが最高ジャンクション温度を超えないように、何らかの熱解析が必要です。温度上昇は式 4 で表されます。

$$T_{RISE} = (PD)(\theta_{JA}) \quad (式 4)$$

ここで、PD はレギュレータの電力損失、 θ_{JA} はダイの接続部から周囲温度への熱抵抗です。ジャンクション温度 (T_J) は、式 5 で求められます。

$$T_J = (T_A + T_{RISE}) \quad (式 5)$$

ここで、 T_A は周囲温度です。DFN パッケージでは θ_{JA} は 49 (°C/W) です。

温度設計を行うとき、実際のジャンクション温度は絶対最高ジャンクション温度の +125 °C を上回ってはなりません。

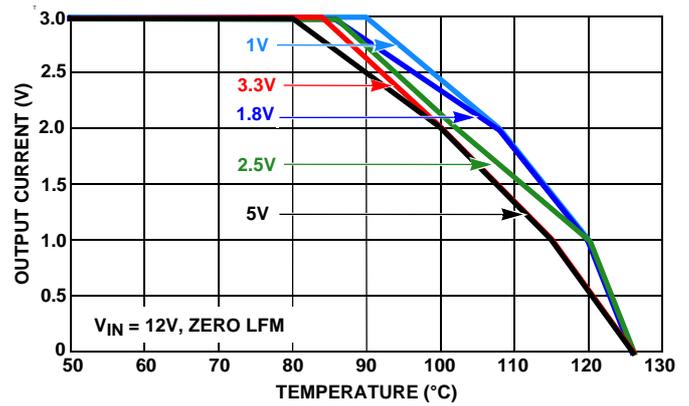


図 44. ディレーティング曲線 vs 温度

アプリケーション・ガイドライン

BOOT アンダーボルテージ検出

ハイサイド FET の内部ドライバには、BOOT アンダーボルテージ (UV) 検出回路が備わっています。BOOT と PHASE 間の電圧差が 2.5V 未満になると、UV 検出回路はローサイド MOSFET を 300ns の間オンにし、ブートストラップ・コンデンサを再充電します。

ISL85003 は内部ブートストラップ・ダイオードを搭載していますが、外付けの電源電圧およびブートストラップ・ショットキー・ダイオードを使用して効率を向上できます。外付けダイオードの電源は、固定の外部 5V 電源、もしくはスイッチング・レギュレータの出力 (5V の場合) から供給できます。このブートストラップ・ダイオードには、BAT54 などの低価格タイプを使用できます。

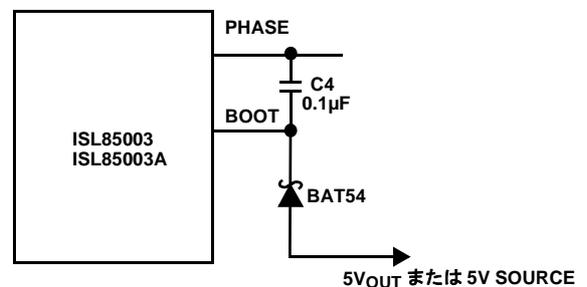


図 45. 外付けブートストラップ・ダイオード

スイッチング・レギュレータの出力コンデンサの選択

インダクタ電流をフィルタリングし、負荷変動電流を供給するには、出力コンデンサが必要です。フィルタリング要件は、スイッチング周波数、リップル電流、必要な出力リップルの関数です。負荷変動要件は、スルーレート (di/dt)、変動負荷電流の大きさの関数です。これらの要件を満たすには、通常、コンデンサの種類を選び方と注意深いレイアウトの両方が必要です。

高周波数セラミック・コンデンサは、最初にトランジエントを供給し、バルク・コンデンサで検出される電流負荷レートを遅くします。バルクフィルタ・コンデンサの値は、通常、実際のコンデンサ容量よりも、ESR (等価直列抵抗) と電圧定格要件によって決まります。

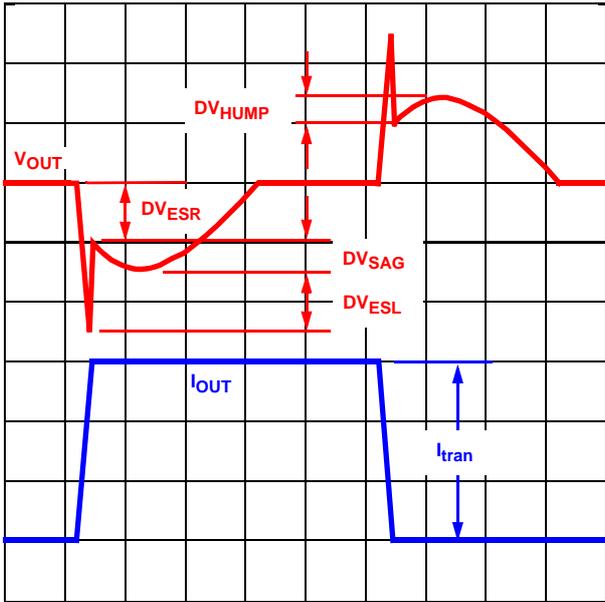


図 46. 標準的な負荷応答

高周波数デカップリング・コンデンサは、負荷のパワー・ピンに物理的にできる限り近い場所に配置しなければなりません。回路基板配線にインダクタンスを追加しないよう注意してください。これらの低インダクタンス部品の有用性が損なわれる可能性があります。特定のデカップリング要件については、負荷のメーカーにお問い合わせください。

最終的には、ワーストケース負荷条件を示す負荷変動中の出力電圧波形の形状により、出力コンデンサの数と種類が決定します。この負荷変動がコンバータに適用されると、最初は、負荷に必要なほとんどのエネルギーが出力コンデンサから供給されます。これは、インダクタ電流が負荷に要求される出力電圧レベルに立ち上がるための時間が限られているためです。この現象により、出力電圧が一時的に低下します。トランジェントのエッジにおいて、各コンデンサの ESL (等価直列インダクタンス) によりスパイクが生じ、ESR による既存の電圧低下に加わります。

コンデンサの ESR と ESL による最初のスパイクの後、出力電圧は低下します。この低下は、出力の容量の直接の結果です。

同じ出力負荷が除去される間、インダクタに蓄積されているエネルギーが出力コンデンサにダンプされます。エネルギーがダンプされると、一時的に出力電圧が上昇します。この電圧上昇は、電圧低下と同様、出力の総容量に起因します。負荷変動に対する典型的な応答を図 46 に示します。

異なるタイプの電圧変動の振幅は、式 6、7、8、9 を使用して推定できます。

$$\Delta V_{ESR} = ESR \cdot I_{tran} \quad (式 6)$$

$$\Delta V_{ESL} = ESL \cdot \frac{dI_{tran}}{dt} \quad (式 7)$$

$$\Delta V_{SAG} = \frac{L_{out} \cdot I_{tran}^2}{C_{out} \cdot (V_{in} - V_{out})} \quad (式 8)$$

$$\Delta V_{HUMP} = \frac{L_{out} \cdot I_{tran}^2}{C_{out} \cdot V_{out}} \quad (式 9)$$

ここで、 I_{tran} = 出力負荷電流の変動、 C_{out} = 合計出力容量です。

一般的なコンバータ設計では、過渡応答は出力コンデンサ・バンクの ESR によって決まります。通常、出力容量の決定に関わる主要要素は、ESR と ESL です。出力コンデンサの数は、コンデンサの ESR と ESL を負荷変動ステップおよび電圧リミット (ΔV_o) に関連付ける式である式 10 で決まります。

$$\text{Number of Caps} = \frac{ESL \cdot I_{tran} + ESR \cdot I_{tran}}{\Delta V_o} \quad (式 10)$$

ΔV_{SAG} または ΔV_{HUMP} が出力電圧リミットに対して大きすぎる場合、容量も大きくする必要があります。その場合、出力インダクタンスと出力容量のトレードオフが必要になります。

コンデンサの ESL は上式で重要なパラメータとなっていますが、仕様には記載されていません。実用上、特定のコンデンサについてインピーダンス vs 周波数の曲線が与えられれば、式 11 を使用して推定できます。

$$ESL = \frac{1}{C(2 \cdot \pi \cdot f_{res})^2} \quad (式 11)$$

ここで、 f_{res} は、インピーダンスが最も低くなる共振周波数です。

コンデンサの ESL は、電流変化が激しい負荷に電力を供給する回路を設計するとき問題になります。

出カインダクタの選択

出力インダクタは、出力電圧リップル要件を満たし、負荷変動に対するコンバータの応答時間を最短にするために選択します。インダクタの値によってコンバータのリップル電流が決まり、出力リップル電圧はリップル電流の関数です。リップル電圧および電流は、次の式 12、13 によって概算できます。

$$\Delta I = \frac{(V_{IN} - V_{OUT}) \cdot V_{OUT}}{F_s \cdot L} \cdot \frac{V_{OUT}}{V_{IN}} \quad (式 12)$$

$$\Delta V_{OUT} = \Delta I \times ESR \quad (式 13)$$

インダクタンス値を大きくすると、リップル電流は減少しリップル電圧も低下します。ただし、インダクタンス値が大きくなると、コンバータの負荷変動への応答時間が短くなります。さらに、リップル電流は電流モード制御の重要なサインです。そのため、最適な性能を実現するため、インダクタ電流リップルを最大出力電流の約 30% または約 1A に設定します。

コンバータの負荷変動応答を制限するパラメータの1つは、インダクタ電流を変更するのに必要な時間です。十分に高速な制御ループ設計がなされている場合、レギュレータは、負荷変動に応答して0%または100%いずれかのデューティ・サイクルを提供します。応答時間は、インダクタ電流の値を初期値から過渡電流レベルにするのに必要な時間です。この時間中、インダクタ電流と過渡電流レベルの差は、出力コンデンサによって供給する必要があります。応答時間を最小限にすることで、必要な出力容量も最小限ですみます。

負荷変動への応答時間は、負荷の適用と除去で異なります。式14と式15で、負荷変動の適用と除去における推定応答時間が求められます。

$$t_{RISE} = \frac{L \times I_{TRAN}}{V_{IN} - V_{OUT}} \quad (式 14)$$

$$t_{FALL} = \frac{L \times I_{TRAN}}{V_{OUT}} \quad (式 15)$$

ここで、 I_{TRAN} は負荷変動電流ステップ、 t_{RISE} は負荷適用時の応答時間、 t_{FALL} は負荷除去時の応答時間です。ワーストケースの応答時間は、負荷の適用時または除去時のいずれかになる可能性があります。ワーストケースの応答時間については、両方の式で最小出力レベルと最大出力レベルを確認してください。

入力コンデンサの選択

複数の入力バイパス・コンデンサを組み合わせ、入力電圧リップルを制御します。高周波デカップリング用にセラミック・コンデンサを使用し、スイッチング MOSFET のターンオンごとに必要な電流を供給するのにバルク・コンデンサを使用します。セラミック・コンデンサは MOSFET の VIN ピン(スイッチング MOSFET のドレイン)と PGND に物理的に近い場所に配置します。

バルク入力コンデンサで重要なパラメータは、電圧定格と RMS 電流定格です。動作の信頼性を確保するため、電圧定格と電流定格がそれぞれ回路に必要な最大入力電圧と最大 RMS 電流を上回っているバルク・コンデンサを選択してください。電圧定格は最大入力電圧の少なくとも1.25倍必要であり、確実な電圧定格のガイドラインは1.5倍です。ほとんどの場合、降圧レギュレータの入力コンデンサの RMS 電流定格要件は DC 負荷電流の約 1/2 です。

レギュレータに必要な最大 RMS 電流は、式16でより近い値を概算できます。

$$I_{RMS(MAX)} = \sqrt{\frac{V_{OUT}}{V_{IN}} \cdot \left(I_{OUT(MAX)}^2 + \frac{1}{12} \cdot \left(\frac{V_{IN} - V_{OUT}}{L \cdot f_s} \cdot \frac{V_{OUT}}{V_{IN}} \right)^2 \right)} \quad (式 16)$$

スルーホール設計では、特に -25℃未満の温度では、複数の電解コンデンサが必要な場合もあります。電解コンデンサの ESR は、室温の場合の10倍に上昇することがあり、入力ライン変動が発生することがあります。その場合、X7R セラミック・コンデンサなどの、温度安定性に優れたコンデンサを使用する必要があります。表面実装設計では、固形タンタル・コンデンサを使用できますが、コンデンサのサージ電流定格について注意を払う必要があります。信頼性の高いメーカーからは、サージ電流についてテスト済みのコンデンサ・シリーズも提供されています。

ループ補償の設計

COMP が GND に接続されていないとき、COMP ピンは外部ループ補償用に有効になります。-10℃未満もしくは+85℃を超えるような極端な温度のアプリケーションでは、外部補償モードを使用する必要があります。レギュレータは、定周波数ピーク電流モード制御アーキテクチャを使用して、高速ループ負荷応答を実現します。ハイサイド MOSFET と並列に接続された高精度な電流センス・アンプを使用して、ピーク電流制御信号と過電流保護を行います。ピーク電流は一定なため、インダクタを状態変数とみなす必要はなく、系は一次系になります。電圧モード制御でループの安定性をさせるより、電流モード制御にて、タイプ II 補償回路を設計する方がはるかに簡単です。ピーク電流モード制御には、本来、入力電圧フィード・フォワード機能が備わっているため、良好なライン・レギュレーションが得られます。同期整流型降圧レギュレータの小信号モデルを図47に示します。

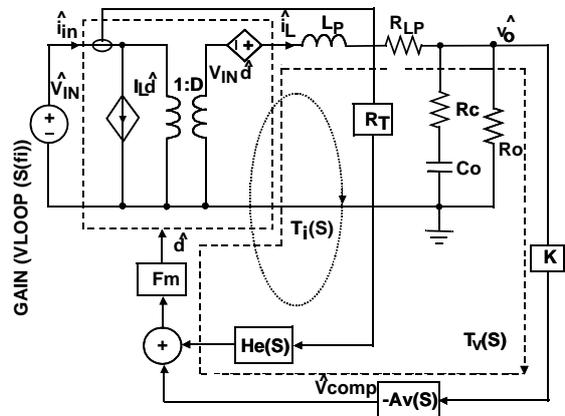


図 47. 同期整流型降圧レギュレータの小信号モード

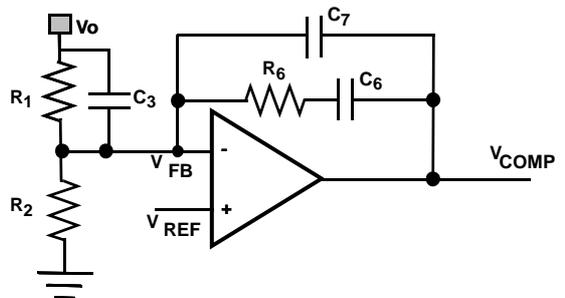


図 48. タイプ II 補償回路

図48はタイプ II 補償回路を示しており、その伝達関数を式17に示します。

$$A_v(S) = \frac{\hat{v}_{comp}}{v_o} = \frac{1}{(C_6 + C_7) \cdot R_1} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right) \left(1 + \frac{S}{\omega_{cz2}}\right)}{S \left(1 + \frac{S}{\omega_{cp1}}\right) \left(1 + \frac{S}{\omega_{cp2}}\right)} \quad (式 17)$$

ここで、

$$\omega_{cz1} = \frac{1}{R_6 C_6}, \quad \omega_{cz2} = \frac{1}{R_1 C_3}, \quad \omega_{cp1} = \frac{C_6 + C_7}{R_6 C_6 C_7}, \quad \omega_{cp2} \approx 350 \text{kHz}$$

補償回路の設計目標

高い DC ゲイン

ループ帯域幅 (f_c) は約 50kHz またはスイッチング周波数の 1/10 を選択

ゲイン・マージン : >10dB

位相マージン : >40°

補償回路の設計手順は次のとおりです。

クロスオーバー周波数 (f_c) におけるループ・ゲインはユニティ・ゲインです。そのため、補償回路の抵抗 R_6 は式 18 で求められます。

$$R_6 = 2\pi f_c C_0 R_t R_1 \approx f_c \cdot C_0 R_1 \quad (\text{式 18})$$

C_0 はレギュレータで検出される実際の容量で、セラミック高周波数デカップリング・コンデンサとバルク出力コンデンサを含むことがあります。セラミックは、誘電率、電圧ストレス、温度に応じて約 40% のディレーティングを必要とします。補償回路のコンデンサ C_6 は、式 19 と式 20 で求められます。

$$C_6 = \frac{R_0 C_0}{10 R_6} = \frac{V_0 C_0}{10 I_0 R_6} \quad (\text{式 19})$$

$$C_7 = \max\left[\frac{R_c C_0}{10 R_6}, \frac{1}{\pi f_s R_6}\right] \quad (\text{式 20})$$

オプションのゼロを追加することで、位相マージンを向上できます。 ω_{CZ2} は R_1 と C_3 によるゼロです。

補償回路のゼロである ω_{CZ2} を $1/2f_c \sim f_c$ の間に配置します。

$$C_3 = \frac{1}{2\pi f_c R_2} \quad (\text{式 21})$$

内部補償モードについては、 R_6 は 600k Ω に等しく、 C_6 は 30pF です。式 18 を整理して、 R_1 について解きます。

例 : $V_{IN} = 12V$ 、 $V_0 = 5V$ 、 $I_0 = 3A$ 、 $f_s = 500kHz$ 、 $R_1 = 51k\Omega$ 、 $R_2 = 9.7k\Omega$ 、 $C_0 = 2 \times 47\mu F / 3m\Omega$ 6.3V セラミック (ディレーティングして約 60 μF)、 $L = 4.7\mu H$ 、 $f_c = 50kHz$ のとき、補償回路の抵抗 R_6 は次のようになります。

$$R_6 = 50k \cdot 60\mu F \cdot 51k\Omega = 153k\Omega \quad (\text{式 22})$$

$$C_6 = \frac{5V \cdot 60\mu F}{10 \cdot 3A \cdot 153k\Omega} = 65pF \quad (\text{式 23})$$

$$C_7 = \max\left[\frac{1.5m\Omega \cdot 60\mu F}{10 \cdot 153k\Omega}, \frac{1}{\pi \cdot 500kHz \cdot 153k\Omega}\right] = (0.06pF, 4.2pF) \quad (\text{式 24})$$

R_6 、 C_6 、 C_7 として、最も近い標準値を使用します。 V_{COMP} と GND の間に約 3pF の寄生容量が存在するため、 C_7 の実装は必須ではありません。 $R_6 = 150k\Omega$ 、 $C_6 = 62pF$ を使用し、 C_7 は開放とします。

$$C_3 = \frac{1}{2\pi \cdot 50kHz \cdot 51k\Omega} = 62pF \quad (\text{式 25})$$

$C_3 = 68pF$ を使用します。 C_3 によって、前述の推定値よりもループ帯域幅が増加することがある点に注意してください。図 49 に電圧ループ・ゲインのシミュレーション結果を示します。ループ帯域幅は 42kHz、位相マージンは 54°、ゲイン・マージンは 17dB が得られています。位相マージンをもっと大きくすることが必要な場合があります。そのときは、 R_6 を小さくするか、 C_3 を 20% ~ 30% だけ大きくすれば、位相マージンを大きくできます。

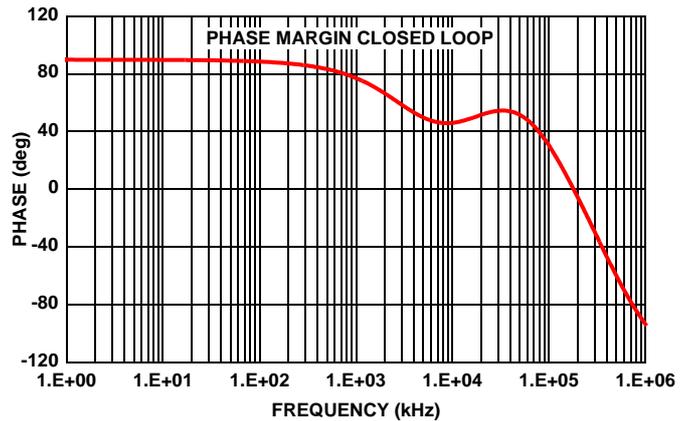
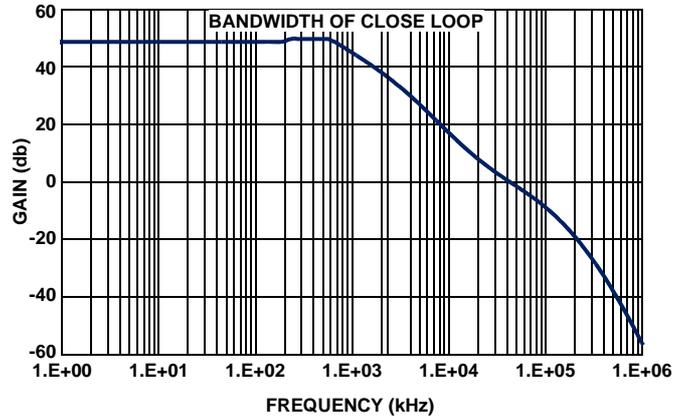


図 49. ループ・ゲインのシミュレーション結果

レイアウトに関する考慮事項

高周波数スイッチング・コンバータの設計では、レイアウトがきわめて重要です。パワー・デバイスが 500kHz で効率的にスイッチングを行う場合、デバイス間の電流遷移によって、パターン・インピーダンスと寄生回路素子で電圧スパイクが発生します。こうした電圧スパイクは、効率の低下、回路へのノイズ放出、デバイスへの過電圧ストレスにつながる場合があります。部品のレイアウトとプリント基板の設計を慎重に行えば、このような電圧スパイクを最小限に抑えられます。

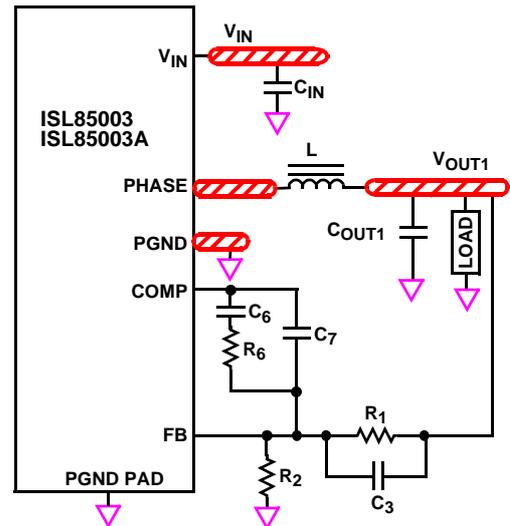
例として、ハイサイド MOSFET のターンオフ遷移について検討してみます。ターンオフ前の MOSFET には、負荷電流がフルに流れています。ターンオフ中、電流は MOSFET を流れなくなり、内部のボディ・ダイオードにピックアップされます。切り替えられた電流パスに寄生インダクタンスがある場合、スイッチング期間中に大規模な電圧スパイクが発生します。慎重な部品選択、重要な部品の正確なレイアウト、短くて幅広のトレースの採用によって、電圧スパイクの規模を最小限に抑えられます。

スイッチング・レギュレータには、2 組の重要な部品があります。最も重要なのは、大量のエネルギーのスイッチングを行うことで大量のノイズを生じる傾向があるスイッチング部品です。次に重要なのは、高感度のノードに接続したり、重要なバイパス電流や信号カップリングを供給する小信号部品です。

多層式のプリント基板を推奨します。図 50 は、コンバータにおける重要な部品の接続を示しています。コンデンサ C_{IN} と C_{OUT} は、それぞれ複数のコンデンサで構成される場合もあります。1 つの内層 (通常はプリント基板の中間層) をグラウンド層として割り当て、重要な部品すべてをビア経由でこの層にグラウンド接続してください。また、別の内層を電源層として割り当て、この層をそれぞれ共通の電圧レベルを持つ小さなアイランドに分割してください。PHASE 端子から出力インダクタまでは短く接続します。電源層は、入力電源ノードと出力電源ノードをサポートする必要があります。フェーズ・ノードには、最上部と最下部の回路層の銅ベタパターンを使用してください。小信号配線には、残りのプリント回路層を使用してください。

内蔵の LDO や MOSFET から生じた熱を放散させるため、グラウンド・パッドは、少なくとも 5 つのビアを介して内部グラウンド層に接続する必要があります。このようにすると、製品から熱を逃がせるほか、パッドを低インピーダンス・パス経由でグラウンド層に接続できます。

まず、スイッチング部品をレギュレータの近くに配置する必要があります。入力コンデンサ C_{IN} とパワー・スイッチを互いに近づけて、両者間の接続の長さを最小限に抑えてください。セラミック入力コンデンサとバルク入力コンデンサは、ハイサイド MOSFET のドレインのできるだけ近くに配置します。



KEY

- ISLAND ON CIRCUIT AND/OR POWER PLANE LAYER
- VIA CONNECTION TO GROUND PLANE

図 50. プリント回路基板の電源層とアイランド

重要な小信号部品には、バイパス・コンデンサ、帰還部品、補償部品がすべて含まれます。補償部品は FB ピンと COMP ピンの近くに配置してください。帰還抵抗は、FB ピンのできるだけ近くに配置し、ビアでグラウンド層に直接接続します。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートは、インターシルのウェブサイトでご確認ください。

日付	レビジョン	変更点
2014年7月17日	FN7968.1F	15ページの「詳細説明」で、4.5Aを5Aに変更。 16ページの「スイッチング・レギュレータの過電流保護」で、4.5Aを5Aに変更。 18ページ式12で、「 $dl=(Fs*L)*Vout/Vin$ 」を「 $dl=(Vin-Vout)/(Fs*L)*Vout/Vin$ 」に変更。 19ページの「入力コンデンサの選択」で、RESRをESRに変更。 16ページの「負電流保護」で、-2.5Aを-2.2Aに変更。 1ページ、4ページの「ピン配置」、5ページの「注文情報」で、パッケージ情報の4x3を3x4に変更。23ページの「パッケージ寸法図」を差し替え。 5ページの「注文情報」で、新たに入手可能になった評価ボードを追加。
2014年3月21日	FN7968.0	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器/インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。

最新のデータシート、アプリケーションノート、関連ドキュメント、関連製品については、www.intersil.com の各製品情報ページを参照してください。

本データシートに対するご意見は www.intersil.com/ask にお寄せください。

信頼性に関するデータも www.intersil.com/support に掲載されています。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

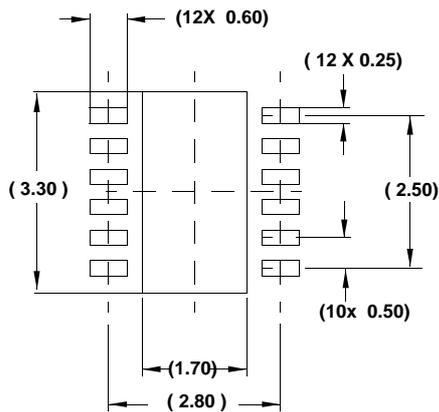
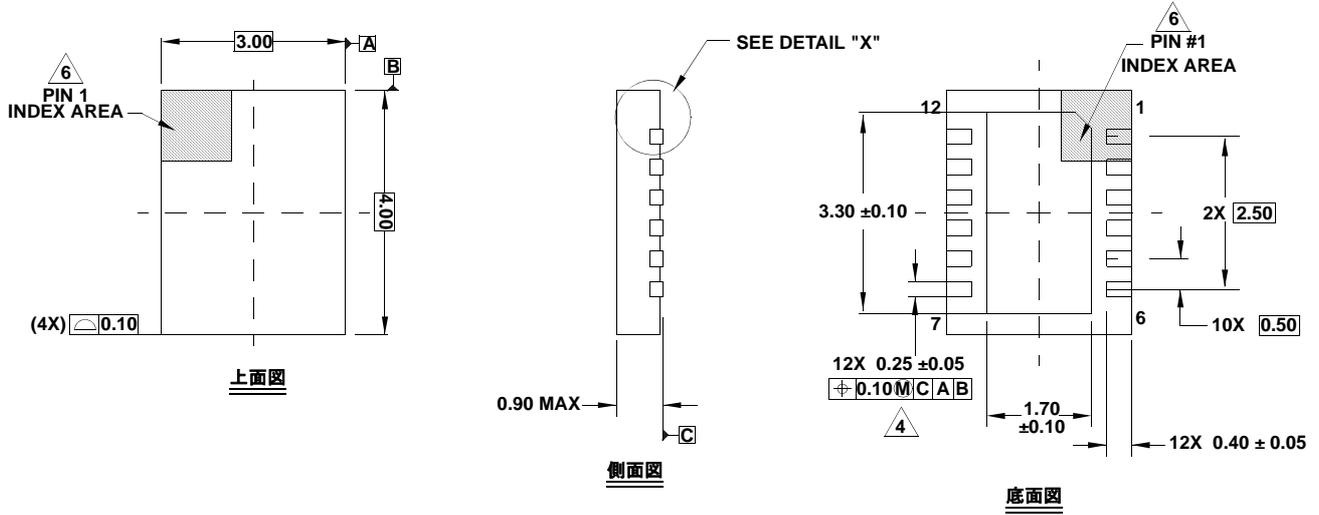
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

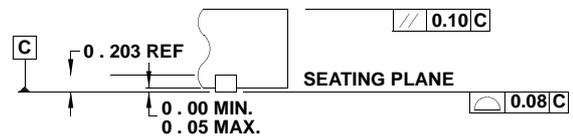
L12.4x3

12 LEAD DUAL FLAT NO-LEAD PLASTIC PACKAGE

Rev 2, 7/10



推奨ランドパターンの例



"X"の詳細

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイパー(示されている場合)は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC MO-229 を参照してください。